

南京邮电大学 2015 /2016 学年 第二学期

《数字电路与逻辑设计 A》期末试卷答案

院(系)_____ 班级_____ 学号_____ 姓名_____

题号	一	二	三	四	五	六	七	八	九	十	十一	总分
得分												

得分 一、(24 分) 填空、选择题

1、逻辑表达式 $F = AB + \bar{A}C + B\bar{C}$ 中, 变量 A 、 B 、 C 均具有竞争能力。不存在冒险的变量组合为 **B**。

A、 $AB=01$ B、 $AB=10$ C、 $BC=01$ D、 $AC=10$

2、转换下列数, 要求转换后保持原精度: $(5.25)_{10} = \underline{(101.0100000)_2}$

3、PAL 和 GAL 的相同之处是基本结构都是 与 (与、或) 阵列可编程; 不同之处是 **GAL** (PAL、GAL) 的输出结构可由用户编程确定。

4、有一个 4 位的 D/A 转换器, 设它的满刻度输出电压为 10V, 当输入数字量为 1101 时, 输出电压为 **A**。

A、8.125V B、4V C、6.25V D、9.375V

5、下面哪项不是三态门的主要用途 **C**。

A、构成数据总线 B、用作多路开关
C、输出端并联输出 D、用于双向传输

6、3 线-8 线译码电路是 **A** 译码器。

A、三位二进制 B、三进制 C、三-八进制 D、八进制

7、实现单输入、多输出逻辑函数, 应选 **D**。

A、编码器 B、译码器 C、数据选择器 D、数据分配器

8、把 1K×4 容量的 RAM 2114 扩展为 16K×16 的 RAM, 则需 **64** 片 RAM2114 和一个 **4/16** 线译码器。

9、对于触发器和组合逻辑电路, 以下的说法 **D** 是正确的。

A、两者都有记忆能力 B、两者都无记忆能力
C、只有组合逻辑电路有记忆能力 D、只有触发器有记忆能力

10、用 n 个触发器构成计数器, 可得到的最大计数长度为 **D**。

A、 n B、 $2n$ C、 n^2 D、 2^n

11、若某触发特性表如下图。A、B 为触发器输入, 则输出信号的逻辑表达式为 **C**。

A	B	Q^{n+1}	说明
0	0	Q^n	保持
0	1	0	置 0
1	0	1	置 1
1	1	$\overline{Q}^n$	翻转

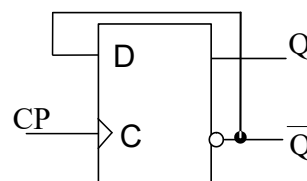
A、 $Q^{n+1}=A$ B、 $Q^{n+1}=\overline{A}Q^n + A\overline{Q}^n$ C、 $Q^{n+1}=\overline{A}Q^n + \overline{B}Q^n$ D、 $Q^{n+1}=B$

12、一位 8421BCD 计数器，至少需要 **B** 个触发器。

A、3 B、4 C、5 D、10

13、如右图所示电路，若输入 CP 脉冲的频率为 100KHZ，则输出 Q 的频率为 **D**。

A、500KHz B、200KHz
C、100KHz D、50KHz



14、JK 触发器的特性方程是 $Q^{n+1}=J\overline{Q}^n + \overline{K}Q^n$ ，

当 JK=11 时，JK 触发器可用来作 **C** (A、D B、T C、T') 触发器。

15、将一个包含有 32768 个基本存储单元的存储电路设计为 16 位一个字节的 ROM。该 ROM 有 **11** 根地址线，有 **16** 根数据读出线。

16、有一个右移移位寄存器，当预先置入 1011 后，其串行输入固定接 0，在 4 个移位脉冲 CP 作用下，四位数据的移位过程是 **B**。

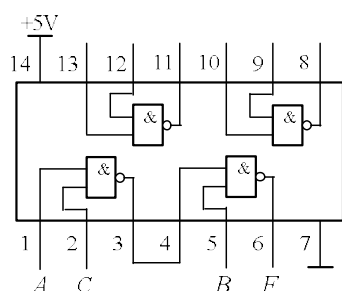
A、1011→0110→1100→1000→0000 B、1011→0101→0010→0001→0000
C、1011→1100→1101→1110→1111 D、1011→1010→1001→1000→0111

17、倒 T 型网络 DAC 的 $U_{om}=10V$ ，若令 $R_f=R$ ，则需 **13** 位代码，才能使分辨率达到 2mV。

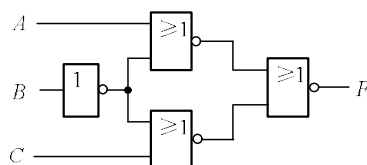
18、四个触发器组成的扭环行计数器最多有 **B** 个有效状态。

A、4 B、8 C、12 D、16

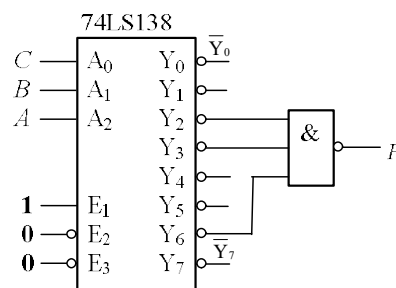
19、在题图中，能实现函数 $F = \overline{A}B + B\overline{C}$ 的电路为 **C**。



(a)



(b)



(c)

A、电路 (a) B、电路 (b) C、电路 (c) D、都不是

20、m 序列码发生器由移位寄存器和 异或反馈网络 构成。

得分

二、(5分) 用卡诺图函数 $F(A,B,C,D)=\sum_m(0,1,4,7,9,10,13)+\sum_\phi(2,5,8,12,15)$ 化简为最简与或式, 须写出化简过程。

解: $F = \bar{C} + BD + \bar{B}\bar{D}$

评分标准:

填对 K 图: 2 分

化简正确: 2 分; 表达式: 1 分

CD \ AB	00	01	11	10
	00	01	11	10
00	1	1	0	ϕ
01	1	ϕ	1	0
11	ϕ	1	ϕ	0
10	ϕ	1	0	1

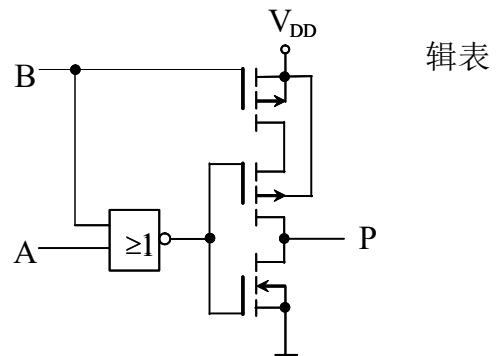
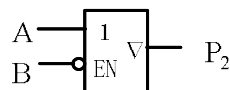
得分

三、(5分) 写出下图 CMOS 电路的逻辑表达式, 并画出相应的逻辑符号。

解: 当 $B=0$ 时, $P = \bar{C} = A$;

当 $B=1$ 时, P 为高阻态。

逻辑符号



评分标准: $B=0$ 时逻辑表达式正确: 2 分; $B=1$ 时逻辑表达式正确: 2 分
逻辑符号正确: 1 分

得分

四、(8分) 4 位无符号二进制数 $A(A_3A_2A_1A_0)$, 请设计一个组合逻辑电路实现: 当 $0 \leq A < 8$ 或 $12 \leq A < 15$ 时, F 输出 1, 否则, F 输出 0。

解: (1) 真值表:

(2) 表达式

$$F = \bar{A_3} + A_2 \bar{A_1} + A_2 \bar{A_0}$$

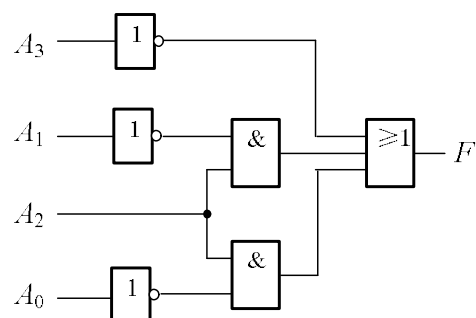
F \ A ₃ A ₂	A ₁ A ₀			
	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	1	1	0	1
10	0	0	0	0

A ₃	A ₂	A ₁	A ₀	F	A ₃	A ₂	A ₁	A ₀	F
0	0	0	0	1	1	0	0	0	0
0	0	0	1	1	1	0	0	1	0
0	0	1	0	1	1	0	1	0	0
0	0	1	1	1	1	0	1	1	0
0	1	0	0	1	1	1	0	0	1
0	1	0	1	1	1	1	0	1	1
0	1	1	0	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0

(3) 电路图

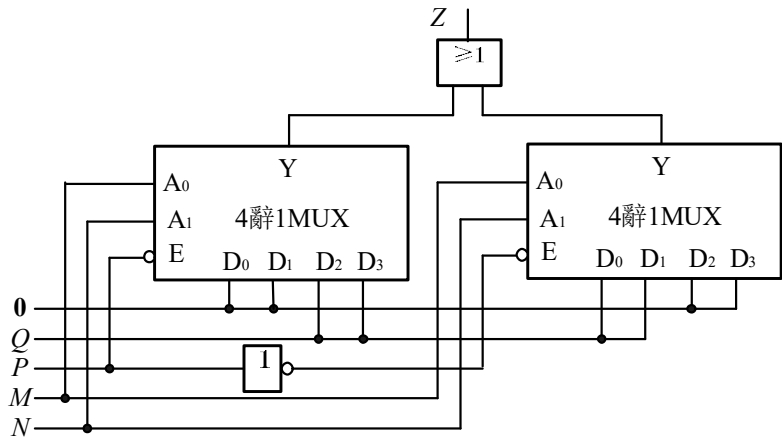
评分标准: 真值表写对: 3 分;

表达式正确: 3 分; 电路图正确: 2 分



得分

五、(6 分) 题图所示是用二个 4 选 1 数据选择器组成的逻辑电路，试写出输出 Z 与输入 M、N、P、Q 之间的逻辑函数式。

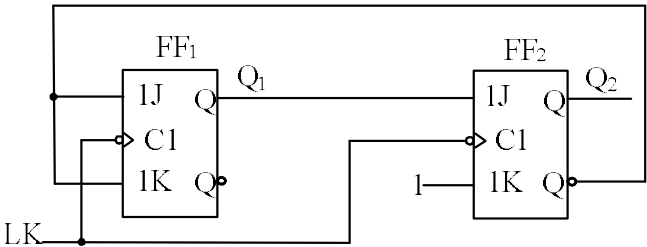


解: $Z = (NMQ + N\bar{M}Q)\bar{P} + (\bar{N}\bar{M}Q + \bar{N}MQ)P$
 $= NMQ\bar{P} + N\bar{M}Q\bar{P} + \bar{N}\bar{M}QP + \bar{N}MQP = NQ\bar{P} + \bar{N}QP$

评分标准: Y₁3 分; Y₂3 分 (备注: 如果 Y₁ 和 Y₂ 的表达式没写 P' 和 P 分别扣 1 分)

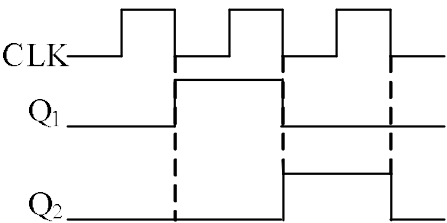
得分

六、(8 分) 试画出题图所示电路在连续三个 CLK 信号作用下 Q₁ 及 Q₂ 端的输出波形。设各触发器的初始状态均为 0。



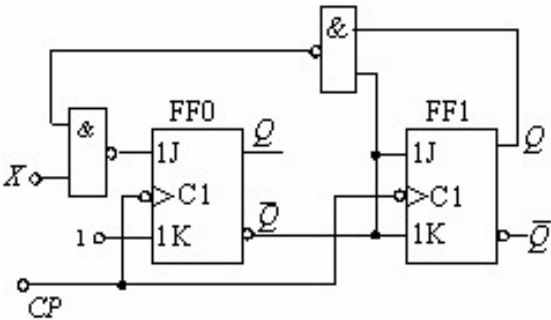
评分标准:
 Q₁Q₂ 波形分别为 4 分,
 其中 Q₁Q₂ 初始状态写
 对分别给 1 分

解:



得分

七、(10 分) 写出图示电路的驱动方程、状态方程，画出状态转换图，并对电路的逻辑功能做出说明。



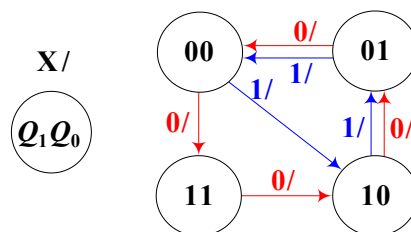
评分标准: 激励方程: 3 分 (填错一个或两个方程扣 1 分, 错三个 2 分)

$$J_0 = \overline{Q_0^n} \overline{Q_1^n} \cdot X \quad K_0 = 1$$

$$J_1 = \overline{Q_0^n} \quad K_1 = \overline{Q_0^n}$$

次态方程：2 分

$$\begin{aligned} Q_0^{n+1} &= \overline{\overline{Q_0^n} Q_1^n} \cdot X \cdot \overline{Q_0^n} = (\overline{Q_0^n} Q_1^n + \overline{X}) \overline{Q_0^n} \\ &= (Q_1^n + \overline{X}) \overline{Q_0^n} \\ Q_1^{n+1} &= \overline{Q_0^n} \overline{Q_1^n} + Q_0^n Q_1^n \end{aligned}$$



状态转移图：3 分（对一个箭头即给 1 分，输入 X 错一个箭头不扣分）

逻辑功能：2 分（提到减法器给 1 分）

根据上式画出的状态转换图。其功能是 $X=0$ 时，为四进制减法计数器； $X=1$ 时，为三进制减法计数器。

x	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}
0	0	0	1	1
	0	1	0	0
	1	0	0	1
	1	1	1	0
1	0	0	1	0
	0	1	0	0
	1	0	0	1

得分

八、（8 分）试用移位寄存器 74194 和少量门设计一个能产生序列信号为 1110100 的移存型序列信号发生器。不考虑自启动，电路按 $Q_3 \rightarrow Q_2 \rightarrow Q_1 \rightarrow Q_0$ 状态变换。

解：

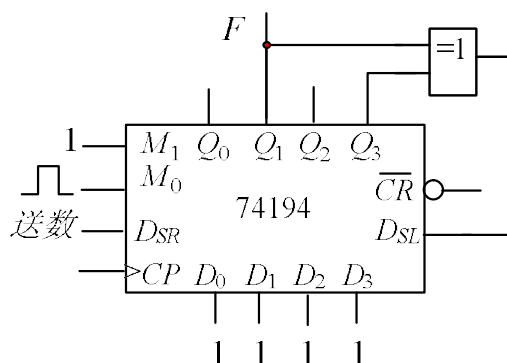
$M_0 M_1 = 01$ ，74194 左移

$M_0 M_1 = 11$ ，74194 送数

K 图化简后得：

$$\begin{aligned} D_1 &= D_{SL} = \overline{Q_3} Q_1 + Q_3 \overline{Q_1} \\ &= Q_3 \oplus Q_1 \end{aligned}$$

$Q_1 Q_2 Q_3$	D_1
1 1 1	0
1 1 0	1
1 0 1	0
0 1 0	0
1 0 0	1
0 0 1	1
0 1 1	1

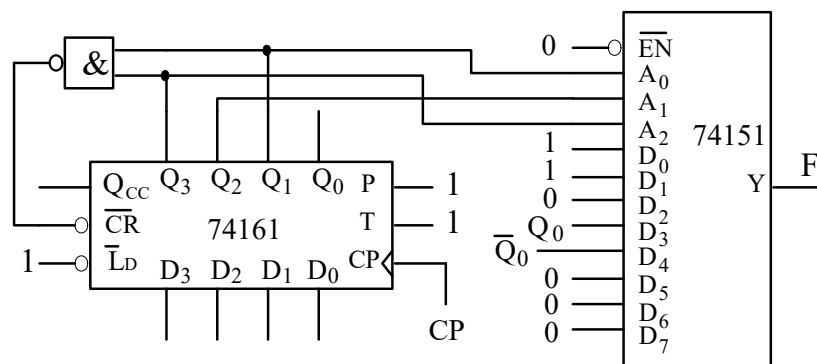


评分标准：状态转移图：4 分；激励：1 分；化简：1 分；图：2 分

得分

九、（8 分）写出题图中 74161 输出端状态编码表及 74151 输出端产生的序列信号。

Q_3	Q_2	Q_1	Q_0	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
0	0	0	0	



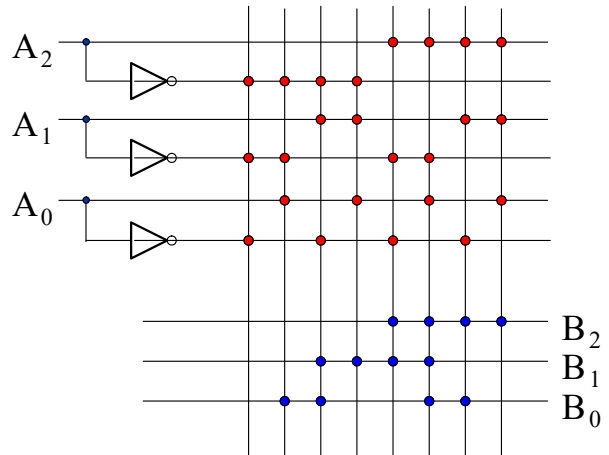
结论： $F = 1111000110$

评分标准： $Q_3 Q_2 Q_1 Q_0$ 状态：6 分；输出 F：2 分；结论：1 分

得分

十、(8分) 用 ROM 设计一个码转换器，用于实现 3 位二进制码到 3 位循环码的转换。

A ₂ A ₁ A ₀	B ₂ B ₁ B ₀
0 0 0	0 0 0
0 0 1	0 0 1
0 1 0	0 1 1
0 1 1	0 1 0
1 0 0	1 1 0
1 0 1	1 1 1
1 1 0	1 0 1
1 1 1	1 0 0



$$B_2 = \sum m(4,5,6,7)$$

$$B_1 = \sum m(2,3,4,5)$$

$$B_0 = \sum m(1,2,5,6)$$

评分标准:

码转换表 5 分。其中，110，111 写颠倒扣 1 分，错 3 个扣 2 分，错 4 个扣 3 分，错 5 个以上不得分；
另外，转换表写错，但与其对应的与或阵列图正确，不重复扣分！
与阵列：1 分；或阵列：2 分。

得分

十一、(10 分) 图示为系统的 ASM 图，START 和 CNT=7 分别为数字系统处理器发出的状态信号 S1 和 S2。要求：

1. 写出用每态一触发器 (DFF) 的方法实现控制器时的输出方程和激励方程。
2. 若 X 为串行数据输入信号，输出信号 Z 取自寄存器 Y。试描述该数字系统实现的功能。

解： 1. 输出方程和激励方程如下：

$$CLR = T_0 \cdot S_1$$

$$ADD = T_1$$

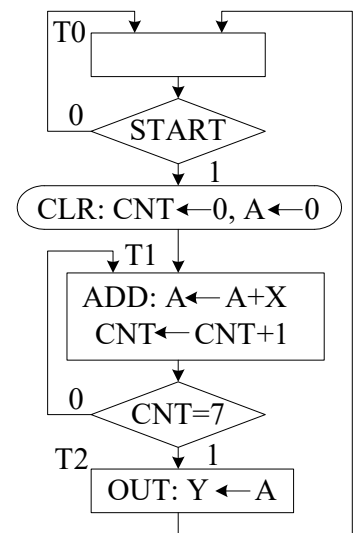
$$OUT = T_2$$

$$D_0 = T_0 \cdot \bar{S}_1 + T_2$$

$$D_1 = T_0 \cdot S_1 + T_1 \cdot \bar{S}_2$$

$$D_2 = T_1 \cdot S_2$$

2. 功能：实现 8 个串行二进制数相加。



评分标准:

输出方程 3 分，必须写出 CLR，但 ADD 和 OUT 只需写出其中一个即可；
激励方程 5 分，其中，D₀，D₁，D₂ 写成 T₀，T₁，T₂ 扣 1 分；
功能描述 2 分，写出“8 个数”得 1 分，写出“加法”得 1 分。